

PAT-NO: JP408223006A
DOCUMENT-IDENTIFIER: JP 08223006 A
TITLE: METHOD AND DEVICE FOR ADJUSTING DELAY TIME
PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
AIZAWA, HISAO	
MATSUBARA, HIDEKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY TEKTRONIX CORP	N/A

APPL-NO: JP07047783

APPL-DATE: February 13, 1995

INT-CL (IPC): H03K005/135

ABSTRACT:

PURPOSE: To provide a delay time adjustment method/device which can easily adjust the delay time to a desired signal propagation delay time.

CONSTITUTION: This adjustment method/device is provided with a variable delay circuit 16 which is placed between the 1st and 2nd positions of a signal propagation path, a reference signal source 11 which supplies a repetitive reference pulse signal of a cycle equal to the desired signal propagation delay time to the 1st position, the timing coincidence detection circuits 20 and 22 which detect the coincidence of the signal state transition timing between the 1st and 2nd positions, and the adjustment means 24 and 26 which monitor the outputs of both circuits 20 and 22 and control the circuit 16 to secure the coincidence of the signal state transition timing.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-223006

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl.
H 03 K 5/135

識別記号 戸内整理番号

F I
H 03 K 5/135

技術表示箇所

審査請求 未請求 請求項の数2 FD (全5頁)

(21) 出願番号

特願平7-47783

(71) 出願人 000108409

ソニー・テクトロニクス株式会社
東京都品川区北品川5丁目9番31号

(22) 出願日

平成7年(1995)2月13日

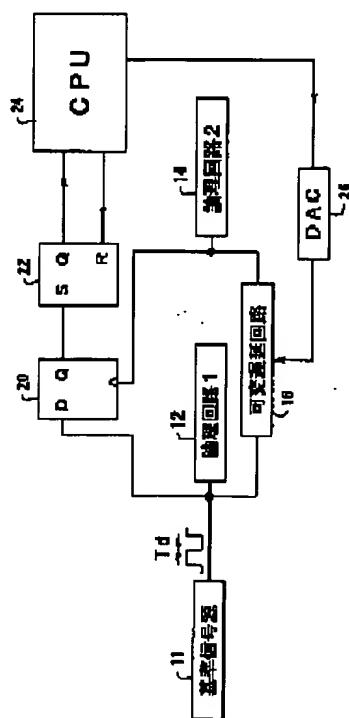
(72) 発明者 相澤 久生
東京都品川区北品川5丁目9番31号 ソニー・テクトロニクス株式会社内
(72) 発明者 松原 秀樹
東京都品川区北品川5丁目9番31号 ソニー・テクトロニクス株式会社内

(54) 【発明の名称】 遅延時間調整方法及び遅延時間調整装置

(57) 【要約】

【目的】 容易に所望の信号伝播遅延時間に調整可能な遅延調整方法及び遅延調整装置を提供すること。

【構成】 信号伝播経路の第1位置から第2位置までの間に設けられた可変遅延回路16と、上記第1位置に所望信号伝播遅延時間に等しい周期の繰り返し基準パルス信号を供給する基準信号源11と、上記第1位置及び第2位置の信号の状態遷移のタイミングの一一致を検出するタイミング一致検出回路20及び22と、該タイミング一致検出回路の出力を監視し、状態遷移のタイミングが一致するように上記可変遅延回路を調整する調整手段24及び26とを具える。



1

【特許請求の範囲】

【請求項1】 信号伝播経路の第1位置から第2位置までの信号の伝播遅延時間を調整する方法であって、

上記第1及び第2位置の間に可変遅延回路を設け、

上記第1位置に所望遅延時間に等しい周期を有する繰り返し基準パルス信号を供給し、

上記第1及び第2位置の信号波形を上記第1位置の信号のトリガ・イベントに基づいて測定し、

上記第1及び第2位置の2つの信号波形のエッジ部分を一致させるように上記可変遅延回路を調整することを特徴とする回路の遅延時間調整方法。

【請求項2】 信号伝播経路の第1位置から第2位置までの間に設けられた可変遅延回路と、

上記第1位置に所望信号伝播遅延時間に等しい周期の繰り返し基準パルス信号を供給する基準信号源と、

上記第1位置及び第2位置の信号の状態遷移のタイミングの一一致を検出するタイミング一致検出回路と、

該タイミング一致検出回路の出力を監視し、状態遷移のタイミングが一致するように上記可変遅延回路を調整する調整手段とを組みることを特徴とする遅延時間調整装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路の信号伝播遅延時間を所望値に調整可能な遅延時間調整方法及び遅延時間調整装置に関する。

【0002】

【従来技術】 図3は、従来の遅延調整方法の一例を示すブロック図である。信号源10は、繰り返しパルス信号を発生し、この出力パルス信号が第1論理回路12に供給されると共に、可変遅延回路16を介して第2論理回路14にも供給される。この場合、第1論理回路12と第2論理回路14に供給される信号の間の遅延時間が所定範囲内に入ることが必要な場合がある。そこで、オシロスコープ18を第1論理回路12の信号入力端と第2論理回路14の信号入力端にプローブを介して接続している。オシロスコープ18の第1チャネルCH1は、第1論理回路12の信号入力端の信号を測定し、第2チャネルCH2は、第2論理回路14の信号入力端の信号を測定する。この測定結果をスクリーン上で観測し、可変遅延回路16を調整すれば、第1及び第2論理回路間の信号伝播遅延時間を所望値に調整することができる。

【0003】

【発明が解決しようとする課題】 しかし、例えば、所望遅延時間が $50\text{ n s} \pm 1\text{ n s}$ の範囲であった場合には、オシロスコープ18の時間表示スケールを例えば $1\text{ n s}/\text{目盛}$ 以下に調整しないと正確な調整は行えない。しかし、チャネル1の信号の立ち上がり時点とチャネル2の信号の立ち上がり時点とは 50 n s も離れているので、スクリーンの時間軸表示のスケールを $1\text{ n s}/\text{目盛}$ 程度

にしたのでは、スクリーン上に 10 n s 程度の時間範囲しか表示及びできないので、2つの波形の立ち上がりエッジを同時に表示することは不可能である。

【0004】 本発明の目的は、容易に所望の信号伝播遅延時間に調整可能な遅延調整方法及び遅延調整装置を提供することである。

【0005】

【課題を解決する為の手段】 本発明の遅延調整方法は、信号伝播経路の第1位置から第2位置までの信号の伝播遅延時間を調整する方法であって、上記第1及び第2位置の間に可変遅延回路を設け、上記第1位置に所望遅延時間に等しい周期を有する繰り返し基準パルス信号を供給し、上記第1及び第2位置の信号波形を上記第1位置の信号のトリガ・イベントに基づいて測定し、上記第1及び第2位置の2つの信号波形のエッジ部分を一致させないように上記可変遅延回路を調整することを特徴とする。

【0006】 本発明の遅延調整装置は、信号伝播経路の第1位置から第2位置までの間に設けられた可変遅延回路と、上記第1位置に所望信号伝播遅延時間に等しい周期の繰り返し基準パルス信号を供給する基準信号源と、上記第1位置及び第2位置の信号の状態遷移のタイミングの一一致を検出するタイミング一致検出回路と、該タイミング一致検出回路の出力を監視し、状態遷移のタイミングが一致するように上記可変遅延回路を調整する調整手段とを組みることを特徴とする。

【0007】

【実施例】 図1は、本発明の遅延調整方法の一実施例の構成を示すブロック図である。本発明の遅延調整方法では、基準信号源11から所望遅延時間に等しい周期の繰り返し基準信号を発生し、第1論理回路12に供給する。この基準信号は、可変遅延回路16を介して第2論理回路14に供給される。図3の従来例と同様に、オシロスコープ18を第1及び第2論理回路12及び14の信号入力端に接続して各部の信号を観測する。基準信号源11は、水晶発振器に基づく精度の高い信号源であり、この基準信号源11の出力信号の周期 T_d に等しくなるように遅延時間を調整すれば、所望の信号伝播遅延時間が得られる。オシロスコープ18は、チャネル1の信号のトリガ・イベントに応じて掃引を開始し、チャネル1及びチャネル2の信号をスクリーン上に表示する。このようにすると、図1に示すように、チャネル1の波形の第2周期の最初のエッジとチャネル2の波形の第1周期の最初のエッジが略一致した時間位置に表示される。後は、可変遅延回路16を調整して両方の波形のエッジが完全に一致するように合わせるだけである。このように、一致させるべきエッジがスクリーンの時間軸上で一致させることができるので、時間軸表示のスケールを例えば 1 n s 以下に設定しても従来のような問題は発生せず、高精度に調整ができる。なお、オシロスコープ

3

18において、一致させるべき波形のエッジをスクリーンの中央に表示するために、いわゆる遅延掃引測定モードを使用することが望ましい。

【0008】図2は、本発明による遅延調整装置の一実施例の構成を示すブロック図である。図1に対応する要素には同一の参照番号を付している。この実施例では、オシロスコープは使用せず、コンピュータ(CPU)24が自動的に調整する。第1論理回路12の信号入力端は、Dフリップ・フロップ20のD入力端に接続され、第2論理回路14の信号入力端は、Dフリップ・フロップ20のクロック入力端に接続されている。Dフリップ・フロップ20のQ出力端子は、ラッチ22のセット端子Sに接続され、このラッチ22のQ出力端はCPU24に接続されている。また、CPU24は、ラッチ22のリセット端子Rにリセット信号を供給する構成である。また、CPU24は、遅延制御データをDAC(デジタル・アナログ変換器)26に供給し、アナログ制御電圧に変換した遅延制御信号を可変遅延回路16に供給する。この場合の可変遅延回路16は高分解能に遅延時間を調整可能であることが望ましく、例えば、特公平6-38574号の公報に開示された可変遅延回路を使用するのが好適であるが、設計仕様を満たすものであれば従来の電圧制御型のどのような可変遅延回路でも使用可能である。

【0009】図2において、Dフリップ・フロップ20のD入力端から第1論理回路12の信号入力端の接続点までの信号経路の長さは、第2論理回路14の信号入力端の接続点からDフリップ・フロップ20のクロック入力端までの信号経路の長さと略等しくなっている。すなわち、Dフリップ・フロップ20は、2つの論理回路12及び14の信号入力端における信号の状態遷移が同時に発生するのを検出するからである。すなわち、Dフリップ・フロップは、D入力端の論理状態が論理0のときにクロック入力端に論理状態の遷移すなわちエッジが供給されると、Q出力として論理0を出力する。他方、D入力端の論理状態が論理1のときにクロック入力端に信号のエッジが供給されると、Q出力端に論理1の出力を発生する。このDフリップ・フロップ20の出力論理状態をラッチ22に蓄積し、これをCPU24が監視する。このように、Dフリップ・フロップ20及びラッチ22は、タイミング一致検出回路を構成している。CPU24は、ラッチ22の出力が論理0の場合には、第1論理回路の信号入力端に供給された信号のエッジより先に第2論理回路の信号入力端に信号エッジが到達したと判断する。よって、可変遅延回路16の遅延時間が所望

4

値より短いので、遅延制御データを調整してラッチ22の論理状態を監視しながら遅延時間を徐々に長く調整していく。そして、ラッチ22の論理出力が論理1に変化したときが2つの信号エッジの一一致を検出したことに相当する。

【0010】上述とは逆に、CPU24は、ラッチ22の論理出力として最初に論理1を検出した場合は、遅延制御データを調整して可変遅延回路16の遅延時間を徐々に短く調整していく。そして、ラッチ22の論理出力が論理0に変化した時が両方の信号波形のエッジの一一致を検出したことになる。このように、基準信号源11から所望遅延時間に等しい周期を有する繰り返し基準信号を論理回路12の信号入力端に供給し、この基準信号をお可変遅延回路16を介して第2論理回路14の信号入力端に供給し、これら2つの論理回路12及び14の信号入力端における状態遷移(エッジ)の時点をCPU24により自動的に一致させることにより、可変遅延回路の遅延時間を正確にかつ自動的に所望値に設定することが可能である。

【0011】以上、本発明の好適実施例を説明したが、本発明は、上述の実施例のみに限定されるものではなく、本発明の要旨から逸脱することなく、種々の変形及び修正を加え得ることは当業者には明らかである。

【0012】

【発明の効果】2つの回路の信号入力端間に可変遅延回路を設け、第1の信号入力端に所望遅延時間に等しい周期を有する基準信号を供給するという簡単な構成で、正確に遅延時間を調整することが可能となった。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の他の実施例の構成を示すブロック図である。

【図3】従来の遅延時間の調整方法のシステム構成の例を示すブロック図である。

【符号の説明】

11 基準信号源

12 第1論理回路

14 第2論理回路

40 16 可変遅延回路

18 オシロスコープ

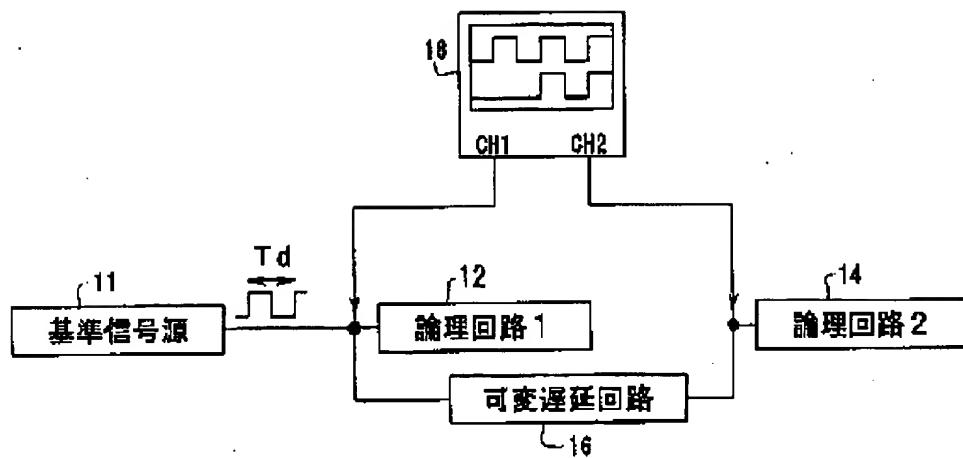
20 Dフリップ・フロップ

22 ラッチ

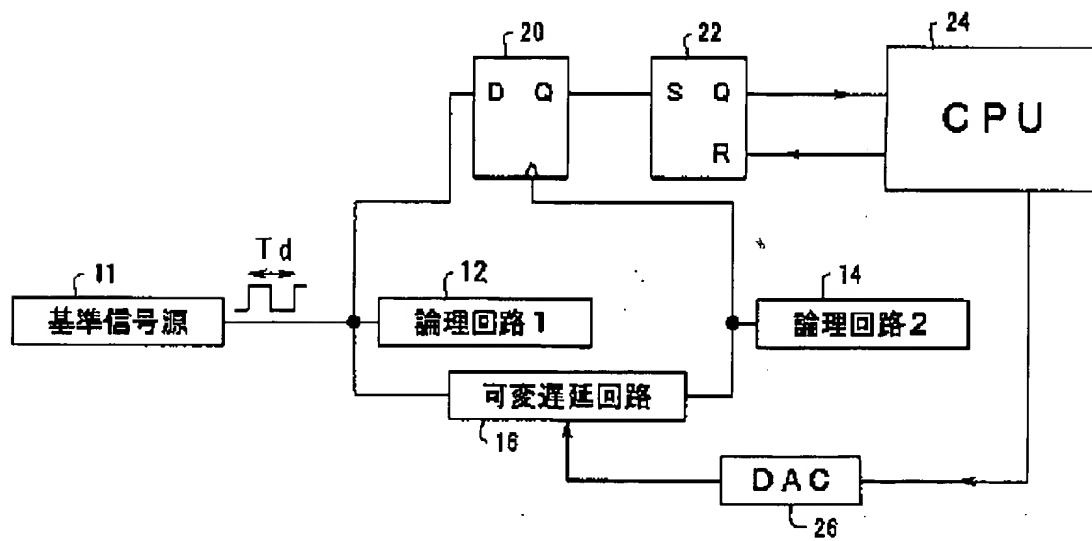
24 コンピュータ(CPU)

26 デジタル・アナログ変換器(DAC)

【図1】



【図2】



【図3】

